

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 7 月 8 日 (08.07.2004)

PCT

(10) 国際公開番号
WO 2004/057621 A1

(51) 国際特許分類⁷: G11C 13/00, 11/41, H01L 27/10
(21) 国際出願番号: PCT/JP2003/016143
(22) 国際出願日: 2003 年 12 月 17 日 (17.12.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2002-367648
2002 年 12 月 19 日 (19.12.2002) JP
(71) 出願人 および
(72) 発明者: 中村 和之 (NAKAMURA, Kazuyuki)
[JP/JP]; 〒 811-1302 福岡県 福岡市南区 井尻
3-20-3-1005 Fukuoka (JP).
(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,
BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE,
DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,

HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,
MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,
SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS,
MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特
許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッ
パ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK,
TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

規則 4.17 に規定する申立て:

— US のみのための発明者である旨の申立て (規則
4.17(iv))

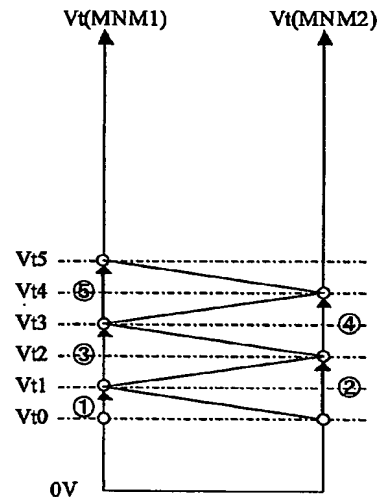
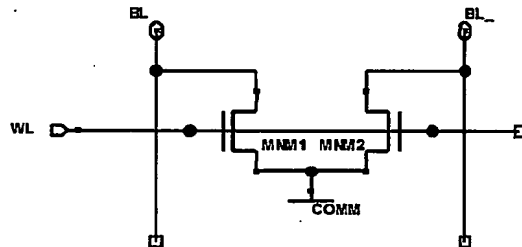
添付公開書類:

— 国際調査報告書

[続葉有]

(54) Title: CMIS SEMICONDUCTOR NONVOLATILE STORAGE CIRCUIT

(54) 発明の名称: CMIS 型半導体不揮発記憶回路



(57) Abstract: A semiconductor nonvolatile storage circuit characterized in that two MISFET transistors having like characteristics are provided, the voltage of the gate electrode of a first transistor is controlled to the power supply voltage or a value other than the ground voltage for a specific period of time so as to control the conduction of only the first transistor, deterioration of the conduction resistance of the first transistor is thereby induced, the thus caused difference in performance between the first and second transistors are read in the form of the current difference by allowing the two transistors to conduct simultaneously so as to store and read "0", and contrarily deterioration of the performance of the second transistor is induced while not inducing deterioration of the performance of the first one so as to store "1".

[続葉有]

WO 2004/057621 A1



— 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明は、同様な特性をもつ2つのMISFET型トランジスタを有し、ある特定の期間、第1のトランジスタのゲート電極の電圧を、電源電位あるいは接地電位以外の電圧値に制御することにより、第1のトランジスタのみの導通状態を制御して、その導通抵抗値の劣化を誘起し、これにより、生じた、第1と第2のトランジスタの性能差を、2つのトランジスタを同時に導通させて、その電流差で読み出すことにより、「0」の記憶と読み出しを、それとは逆に、第2のトランジスタ側の性能を劣化させ、第1のトランジスタについては、劣化をおこさないことにより「1」記憶を行うことを特徴とした半導体不揮発記憶回路である。

明 細 書

C M I S 型半導体不揮発記憶回路

技術分野

本発明は、電源電圧を印可しなくても記憶データを保持することが可能な半導体不揮発メモリの構成に関するものである。

背景技術

現在実用化あるいは開発中の不揮発メモリとしては、フローティングゲート構造を用いたフラッシュEEPROMや、強誘電体膜を用いるFeRAM、強磁性体膜を用いるMRAM等がある。

図14に、従来のメモリの記憶単位（メモリセル）の回路図を示す。図14の（1）は、マスクROMと呼ばれるもので、配線の有無等により、製造時に各メモリセルの「0」または「1」の記憶情報が決まり、基本的に、この情報を書き換えることはできないものである。本発明は、情報の再書き換え可能な不揮発メモリに関するものであり、このマスクROMは、この分類には該当しないものである。

図14（2）は、ダイナミックRAM（DRAM）のメモリセルであり、図14（3）は、スタティックRAM（SRAM）のメモリセルである。これらは、電源電圧を印可された状態でしか、記憶情報を保持できず、電源を切断すると、記憶内容は失われてしまう。特にSRAMは、MOSトランジスタのみの回路構成であり、ロジックLSI用の標準CMOSプロセスで実現でき、特殊なプロセスは必要としない。

図14（4）は、電氣的に情報が書き換え可能なROMであり、従来より、EEPROMと呼ばれるメモリセルである。それを構成する特殊なトランジスタの基本的な構造を図15に示す。特徴として、フローティングゲート（FG）と呼ばれる、電氣的にいずれにも接続されていない電極が、本来のMOSトランジスタのゲートと基板の間に存在してい

る構造となっている。

図16、図17、図18を例として引用し、このEEPROMの回路動作の原理を説明する。まず、情報の書き込み動作であるが、図16のように、たとえば、ビット線(BL)に6V、ワード線に12V、プレート線(PL)に0Vを印可する。ワード線電圧により、ゲートには12Vの電圧がかかるが、このとき、フローティングゲート(FG)部分には、1Vないし3V程度の電圧がかかっており、基板(p-sub)表面に電子の通り道となるチャネルが形成されるが、トランジスタは飽和領域動作になり、そのチャネルは、ドレイン近くでピンチオフしており、ドレイン近傍に強電界部分が存在し、この電界により加速された電子の一部は、フローティングゲート内に飛び込む。これにより、フローティングゲート内に電子が保持されることになり、結果的に、ゲート端子(ワード線)からみたトランジスタのしきい値電圧を高いほうへシフトさせることになる。このフローティングゲートへの電子の注入をセル毎に選択的に行うことで、情報の書き込みを行う。

一方、図17に示される読み出し動作においては、このシフトさせたしきい値電圧の差を電流の形にして読み出す。たとえば、ワード線に5V、ビット線(BL)に1V、プレート線に(0V)を印可すれば、各ワード線に接続されたフローティングゲートを有するトランジスタで、読み出し電流(セル電流)が流れるが、しきい値電圧の高低に応じて、セル電流は増減する。このセル電流を増幅することで、情報の読み出しを行うことができる。

さらに、図18に、セル内の情報の消去、すなわち、フローティングゲートからの電子の抜き取りの原理を示す。ワード線を0Vに固定して、プレート線に12Vを印可すると、プレートとフローティングゲート間に大きな電位差が生じ、これによる電界で、フローティングゲートから電子が引き抜かれる。この動作は、プレート線を共有するメモリセルのすべてで同時に行われることになる。以上の従来のメモリの動作の詳細に関しては、多くの参考文献(たとえば、榎本忠儀「CMOS集積回路 -入門から実用まで-」、倍風館、1996

年、 他)に記載のとおりである。

しかるに、この従来の不揮発メモリであるEEPROMでは、フローティングゲートを有するトランジスタという特殊な構造のトランジスタを製造する必要があり、さらに、強誘電体や強磁性体を使用して不揮発記憶を行わせるFeRAMやMRAMにおいても、それぞれ材料の製膜と加工が必要となり、実用化の大きな課題となっており、また同時に製造コストの増大を招くことになる。一方、特殊なプロセスを必要とせず回路的にデータを記憶するメモリとしては、SRAMやDRAMがあり、特にSRAMは、CMOS型プロセスに対して全く特殊なプロセスを必要としないが、電源を切断すると、記憶内容は失われてしまうという問題点があった。

解決しようとする課題は、CMOS型プロセス互換で、不揮発記憶機能を有する回路を実現するという点である。

発明の開示

本発明における、第1の発明は、同様な特性をもつ2つのMISFET型トランジスタを有し、ある特定の期間、第1のトランジスタのゲート電極の電圧を、電源電位あるいは接地電位以外の電圧値に制御することにより、第1のトランジスタの導通状態を制御して、その導通抵抗値の経時劣化を誘起し、これにより生じた、第1と第2のトランジスタの性能差を、2つのトランジスタを同時に導通させて、その電流差で読み出すことにより、「0」の記憶とその読み出しを、またそれとは逆に、第2のトランジスタ側の性能を、第1のトランジスタよりも劣化させることにより「1」記憶を行うことを特徴とする半導体不揮発記憶回路である。

本発明における、第2の発明は、第1の発明の半導体不揮発記憶回路において、第2のトランジスタを、複数の記憶単位の間で共用化したことを特徴とする半導体不揮発記憶回路である。

本発明における、第3の発明は、第1の発明の1ビットの情報を記憶する半導体不揮発記憶回路において、1ビットの情報を記憶する揮発型記憶回路と組み合わせて、1ビット分の情報記憶単位とし、不揮発記憶回路の情報は、その揮発記憶部を介して、読み出しと書き込みが行われることを特徴とした半導体不揮発記憶回路である。

本発明における、第4の発明は、6つのMISトランジスタから構成されるスタティック型半導体メモリセルの2つの記憶ノードに、それぞれ、第1の発明の半導体不揮発記憶回路の2つのトランジスタの電流出力端子を接続し、そのスタティック型半導体メモリセルの電源端子と、実際の電源線の間に接続する第3のトランジスタをもち、その第3のトランジスタの導通状態を制御することで、前記スタティック型半導体メモリセルの動作活性化／非活性化の制御を行い、第1の発明の半導体不揮発記憶回路部分の情報をスタティック型メモリセルへ転送することを特徴とした半導体不揮発記憶回路である。

本発明によれば、CMOS型プロセスに追加の工程や、新材料の導入なしに、不揮発記憶を実現し、低コスト化や、開発期間の短縮が図ることが可能となる。

図面の簡単な説明

図1は、本発明の基本回路と、そのデバイス的な動作原理を示す説明図である。

図2は、本発明の基本回路において、書き込み動作と、そのデバイス的な動作原理を示す説明図である。

図3は、本発明の基本回路において、読み出し動作と、そのデバイス的な動作原理を示す説明図である。

図4は、本発明の差動型基本回路において、上書き動作の動作原理を示す説明図である。

(実施例1)

図5は、本発明の差動型基本回路において、書き込み動作の動作原理を示す説明図である。(実施例1)

図 6 は、本発明の差動型基本回路において、読み出し動作の動作原理を示す説明図である。（実施例 1）

図 7 は、本発明の差動型基本回路において、記憶回路の配置を示す説明図である。（実施例 1）

図 8 は、本発明の第 2 の発明の記憶回路素子の配置を示す説明図である。（実施例 2）

図 9 は、本発明の S R A M 融合型基本回路において、その基本構成を示す説明図である。（実施例 3）

図 1 0 は、本発明の S R A M 融合型基本回路において、その S R A M 部データ読み出し動作を示す説明図である。（実施例 4）

図 1 1 は、本発明の S R A M 融合型基本回路において、その S R A M 部データ書き込み動作を示す説明図である。（実施例 4）

図 1 2 は、本発明の S R A M 融合型基本回路において、その不揮発データ保存動作を示す説明図である。（実施例 4）

図 1 3 は、本発明の S R A M 融合型基本回路において、その不揮発データ復帰動作を示す説明図である。（実施例 4）

図 1 4 は、従来の半導体記憶回路の例を示す説明図である。

図 1 5 は、従来のフラッシュ E E P R O M の構造を示す説明図である。

図 1 6 は、従来のフラッシュ E E P R O M の書き込み動作の動作原理を示す説明図である。

図 1 7 は、従来のフラッシュ E E P R O M の読み出し動作の動作原理を示す説明図である。

図 1 8 は、従来のフラッシュ E E P R O M の消去動作の動作原理を示す説明図である。

以下、符号の説明を行う。

W L、W L 1、W L 2 は、ワード選択線、

WLWは、不揮発ワード選択信号、
RESTOREは、不揮発データ復帰信号、
EQ_{__}は、イコライズ信号、
C、C_{__}は、メモリセル内の差動ノード信号、
MNT1、MNT2、MN1、NN2、MNR Sは、n型MISトランジスタ、
MP1、MP2、MPE0は、p型MISトランジスタ、
t0、t1、t2、t3、t4、t5は、時刻、
BL、BL_{__}、BL1、BL1_{__}、BL2、BL2_{__}、BL3、BL3_{__}は、ビット線、
ただし、_{__}が名前の末尾につくものは、差動対をなす信号であることを示す。たとえば、
BL_{__}は、BLの差動対をなす信号である。
さらに、COMM、COMM1、COMM2は、共通線、
WL_{__}REFは、基準トランジスタ選択用ワード線、
COMM_{__}REFは、基準トランジスタ用共通線、
n⁺は、n型不純物拡散層、
p-subは、p型基板、
PGは、ゲート電極、
FGは、フローティングゲート電極、
PLは、プレート電極端子、
OXは、絶縁膜、
MN00、MN01、MN02、MN03、MN10、MN11、MN12、MN13、
MN20、MN21、MN22、MN23、MN001、MN002、MN011、MN
012、MN101、MN102、MN111、MN112、MNM1、MNM2は、不
揮発データ記憶用のn型MISトランジスタ、
eは、電子、

VDDは、電源端子、

GNDは、グランド端子、

V_{p1}は、プレート電極端子、

V_t (MNM1)、V_t (MNM2)は、それぞれ、MISトランジスタMNM1、MNM2のしきい値電圧、

V_{t0}、V_{t1}、V_{t2}、V_{t3}、V_{t4}、V_{t5}は、不揮発記憶を行うnMISトランジスタのしきい値電圧、

である。

発明を実施するための最良の形態

図1は、本発明の基本回路とデバイス的な動作原理を示す説明図である。図1においては、例として、MIS（金属—絶縁膜—半導体）トランジスタとして、典型的なnチャンネル型シリコンMOSトランジスタを用いた場合を示している。WLはワード選択線、BLはビット線、COMMは共通線、PGはゲート電極、OXはシリコン酸化膜、n+は、n型不純物拡散層、p-subはp型のシリコン基板である。図2、図3を用いて、図1の回路の動作原理を説明する。まず、情報の書き込み動作であるが、図2のように、たとえば、ビット線（BL）に5V、ワード線に2.5V、共通線（COMM）に0Vを印可する。ワード線電圧により、基板（p-sub）表面に電子の通り道となるチャンネルが形成されるが、トランジスタは飽和領域動作になり、そのチャンネルは、ドレイン近くでピンチオフしており、ドレイン近傍に強電界部分が存在し、この電界により加速された電子の一部には、酸化膜内に飛び込むものがある。この現象は、MOS型トランジスタにおいて、ホットキャリアによるトランジスタ性能の経時変化として知られている現象であり、半導体回路の性能を長期間維持するためには、本来好ましくない現象であり、これを回避するために、たとえば、ドレイン拡散層の濃度分布を制御して、ドレイン端付近に電界が集中しないような対策がと

られている。しかし、本発明では、この現象を積極的に利用し、酸化膜内に捕らえられた電子による、ゲート端子（ワード線）からみたトランジスタのしきい値電圧の高い電圧へのシフトを情報書き込みとして用いるものである。この酸化膜への電子の注入をセル毎に選択的に行うことで、情報の書き込みを行う。デバイスの微細化が進むほど、デバイス内の局所的な電界強度は増す傾向にあるため、この酸化膜への電子の注入現象は、より発生しやすくなるため、本原理による情報の書き込みは、微細化の進展とともに、より容易になる傾向にあるといえる。

一方、図3に示される読み出し動作においては、このシフトさせたいしきい値電圧の差を電流の形にして読み出す。たとえば、ワード線に5V、ビット線（BL）に1V、共通線に（0V）を印可すれば、ワード線に接続されたトランジスタで、読み出し電流（セル電流）が流れるが、しきい値電圧の高低に応じて、セル電流は増減する。このセル電流を増幅することで、情報の読み出しを行うことができる。しかし、従来の技術の部分において説明したEEPROMのメモリ回路構造とよく似ているが、根本的に異なるのは、酸化膜に注入された電子を、再度引き抜いて情報を消去することが、技術的に非常に困難であることである。よって、電子を酸化膜中に注入し、トランジスタのしきい値電圧を高いほうへはシフトできても、逆に低い方向へはシフトできないことになるため、基本的には1度しか書き込みができないことになる。

図4に、この問題点を回避するための本発明の第1の発明に対応する、1実施例を示す。図1のトランジスタを2個ずつ組にして動作させ、2つのトランジスタのうち、たとえば、第1のトランジスタ（MNM1）のしきい値電圧： $V_t(MNM1)$ が第2のトランジスタ（MNM2）のしきい値電圧： $V_t(MNM2)$ よりも高い状態を、情報の「0」記憶状態、その逆の状態を「1」記憶状態とするものである。すなわち、製造直後の初期状態で、MNM1、MNM2いづれのしきい値電圧も V_{t0} であった場合、最初に「0」を書き込む場合は、図4中の①で示したように、MNM1のしきい値電圧を若干高い方へシフトさせる。これは、図5に示すよう

に、まず、ワード選択信号WLを電源電圧(VDD)の半分程度の2.5Vとし、ビット線(BL)の電圧を電源電圧と同じ5V(VDD)、ビット線の差動ペアであるBL₋側を0V(GND)とした状態を一定期間保つことで、MNM1のみを飽和領域で動作させ、ホットキャリアを発生させることで、MNM1のしきい値電圧を高い方(V_{t1})へシフトさせる。シフトさせるしきい値電圧の電圧量は、読み出し回路の能力によって判別可能なレベル以上とすればよい。次に、このメモリセルに「1」を書き込みたい場合は、図4の②に示すように、今度は、MNM2のしきい値電圧をMNM1のそれよりも上昇させ、 V_{t2} とすることにより行う。情報の反転が起こる毎に、MNM1もしくは、MNM2のいずれかのしきい値電圧が上昇することになり、その情報書き換えの限界は、たとえば、MNM1あるいは、MNM2のしきい値電圧が電源電圧程度まで上昇するまでとなる。しかし、電源電圧以上の電圧を発生することが可能な電圧昇圧回路を内蔵することで、この回数制限を改善することは可能である。このような構造にすることで、EEPROMのような情報の消去はできなくても、情報の「0」と「1」を、限られた回数ではあるが、書き換えることが可能となる。図6に、図4の回路における読み出し動作の説明図を示す。読み出しは、ワード選択線の電圧を電源電圧程度にし、BLとBL₋の電圧を同じにしておいて、MNM1とMNM2のしきい値電圧の差による、2つのトランジスタの電流能力差を電流差にして読み出す。図6の回路においては、BLとBL₋を電源電位程度にプリチャージ(充電)した後、高インピーダンス状態にして、MNM1、MNM2に接続することで、電流差を再度、BLとBL₋の電位差に変換して、読み出す例を示している。

図7に、図4の回路を配列状に並べて、実際にメモリとして使用する場合の構成図を示す。図7では、4ビット分の情報を格納できる。ワード選択線(WL0, WL1)と、ビット線対(BL0、BL0₋、BL1、BL1₋)は、それぞれ、横方向、縦方向のメモリセルと共用化されている。共通線(COMM0, COMM1)については、2次元配列されたすべてのセル間で共用することも可能である。

図8に、本発明の第2の発明に相当する実施例を示す。第1の発明において、2つのト

ランジスタの対で構成されるメモリの記憶単位において、その第2のランジスタ側を共用化した例である。図8は12ビット分の情報を格納できるメモリセルアレイになっているが、基本的には、ランジスタ1個で、1ビットの情報を記憶することができる。差動対をなすべきランジスタは、ビット線で1つだけに共用化されており、たとえば図8において、MN00、MN01、MN02、MN03の4つのランジスタは、MN0Rと比較されることになる。すなわち、ビット線BL0に接続されるランジスタのうち、MN0Rのしきい値電圧よりも高いランジスタは「0」を記憶、MN0Rよりもしきい値電圧が低いランジスタは「1」記憶となる。情報を書き換える場合は、まず、MN0Rのしきい値を、BL0に接続されるランジスタのうち、「0」から「1」に書き換わるべきランジスタよりも、高く設定する。この場合、たとえば、BL0に接続されるランジスタの情報がすべて「1」記憶であった場合や、「1」から「0」に変わるランジスタがあるのみの場合には、MN0Rのしきい値電圧を特に、変動させる必要はないことになる。また、図8では、ビット線毎に、ランジスタを共用化しているが、ある記憶容量単位で共用化してもよい。

図9に、本発明の第3の発明に相当する実施例を示す。図9において、MNM1、MNM2は、図4の回路と同様なもので、しきい値電圧の一方向へのシフトによって、情報の書き込みを行うものである。しかし、図4の回路では、書き込み回数に制限があるために、図9の回路では、情報の記憶単位に、たとえばSRAMメモリセルのような、揮発メモリ部と、図4のような本第3の発明の回路を同時に設け、さらに、揮発メモリ部を介して、必要に応じて、不揮発メモリ部への情報の読み書きを行うように構成した回路になっている。このような構造にすることで、通常読み書き動作は、揮発メモリ部において行い、たとえば電源遮断前等のタイミングで、不揮発部でデータを書き込むことで、限られた不揮発メモリ部の書き込み回数の制限の影響を低減することが可能となる。また、電源印可時においては、揮発メモリ回路部が、読み書き要求に応答することになるために、読み出しや書き込み速度に優れる揮発メモリと組み合わせることで、通常動作時の性能を高く見せるこ

とができる。

図10に、本発明の第4の発明に相当する実施例を示す。図10の回路は、第3の発明の揮発メモリ部としてSRAMのメモリセルを適用した例になる。図10の回路では、従来のSRAMセルに対して、さらに、3つのnチャンネル型MISFET (MNRS, MNM1、NMN2) と、1つのpチャンネル型MISFET (MPEQ) が追加されている。これらのうち、NMN1、NMN2が、それぞれのMISFETのしきい値変動状況により、情報を不揮発記憶する2つのトランジスタになる。RESTORE信号をハイレベル（電源電位）、WLW信号をローレベル（グランド電位）、EQ_信号をハイレベルに設定すれば、それぞれNMN1、NMN2、MPEQは非導通状態、MNRSは導通状態で、図14（3）の従来のSRAMと同様な回路構成になる。この状態では、ワード線(WL)とビット線対 (BL, BL_) の操作により、それぞれ図10、図11に示すように、従来のSRAMと同様な方法で、メモリセル内に情報を書き込み／読み出しできる。情報の不揮発記憶を行わせるためには、図12に示すように、不揮発書き込み用ワード線 (WLW) を、一定期間、電源電位とグランド電位の間電位とする。この時、SRAMメモリセル内に格納された情報に応じて、C、C_のノード電位のいずれかは、電源電位となり、他方はグランド電位となっている。これにより、たとえば、Cのノード電位が高い場合は、NMN1の、ドレイン電圧は高い状態となり、NMN1にはドレイン電流が流れる。このとき、NMN1のゲート電圧は、電源電位とグランド電位の間電位であることから、ドレイン電流に伴って、チャンネル内にホットキャリアが誘起され、その一部はMIS構造の絶縁体膜中へトラップされる。結果として、トランジスタの性能の変動、すなわち、微少なしきい値電圧のシフトがおこる。この状態をある一定期間維持することにより、NMN1のしきい値電圧をある程度（数mVから数十mV）、変動させることができる。このような方法で、NMN1とNMN2にしきい値電圧差を意図的に設定する。

次に、このしきい値電圧変動を情報として読み出すために、図13のように、まず、ワード線 (WL) レベルをローレベルとしておいて、RESTORE信号をローレベルに下げる。こ

のときEQ__信号も一定期間低レベルとすることで、CとC__のノード間を同電位に設定する。このような信号線電位を設定することで、MNM1、MNM2、MP1、MP2の4つのトランジスタからなるラッチ回路を形成する。次に、WLWを、ローレベルから徐々にハイレベルへあげていくことで、MNM1とMNM2のドレイン電圧は、当初、ハイレベルになっているが、MNM1とMNM2には、しきい値電圧に差が設定されているために、流れる電流にも差があることになる。ホットキャリアによるしきい値電圧シフトの場合では、一般にしきい値電圧が上昇するために、上述の例では、MNM1のほうがMNM2よりもしきい値電圧が高い。よって、MNM2のほうが電流が多く流れる。そのために、ラッチ回路の動作により、MNM2のドレイン端子（MNM1のゲート端子）のほうが、MNM1のドレイン端子（MNM2のゲート端子）よりも若干高いレベルとなる。最後に、RESTORE信号をハイレベルにすることで、MP1、MP2、MN1、MN2の4つのトランジスタからなる従来のSRAMセルのラッチ回路部分に情報が転送保持され、これにより、MNM1とMNM2に記憶されていた情報は、通常のSRAMの読み出し動作を経由することで、セル外へ読み出し可能となる。この場合は、MNM2とMNM1のしきい値電圧差に起因する電流差を用いて、不揮発情報の転送を行ったが、しきい値電圧差を利用して、しきい値電圧の低いトランジスタのほうが先にONするという原理を用いても、同様な読み出し回路が設計できる。

また、本発明の本実施例では、素子特性の変動をホットキャリアによるしきい値変動を例にして説明したが、これは、トランジスタがドレイン電流を流しつづけることによって、その特性の経年変化を起こすような要因であれば、いずれの現象でもよい。また、図10では、メモリセルとビット線を接続するトランジスタ（図10におけるMNT1、MNT2）を、通常のSRAM動作と、不揮発記憶用の情報書き込みの両方に兼用しているが、回路としての性能を最適化する等のために、別個にトランジスタを設けてもよい。また、本発明の説明では、第1のトランジスタのしきい値電圧が高い状態を「0」記憶、第2のトランジスタのしきい値電圧が高い状態を「1」記憶、としていたが、これを逆に定義し

てもかまわない。

産業上の利用可能性

本発明の効果は、請求の範囲に記載した構成によって、CMOS型プロセスに追加の工程や、新材料の導入なしに、不揮発記憶を実現し、低コスト化や、開発期間の短縮を図るという目的が達成されるというものである。

請求の範囲

1. 同様な特性をもつ2つのMISFET型トランジスタを有し、ある特定の期間、第1のトランジスタのゲート電極の電圧を、電源電位あるいは接地電位以外の電圧値に制御することにより、第1のトランジスタの導通状態を制御して、その導通抵抗値の経時劣化を誘起し、これにより生じた、第1と第2のトランジスタの性能差を、2つのトランジスタを同時に導通させて、その電流差で読み出すことにより、「0」の記憶とその読み出しを、またそれとは逆に、第2のトランジスタ側の性能を、第1のトランジスタよりも劣化させることにより「1」記憶を行うことを特徴とする半導体不揮発記憶回路。

2. 上記請求項1記載の半導体不揮発記憶回路において、第2のトランジスタを、複数の記憶単位の間で共用化したことを特徴とする半導体不揮発記憶回路。

3. 上記請求項1記載の1ビットの情報を記憶する半導体不揮発記憶回路において、1ビットの情報を記憶する揮発型記憶回路と組み合わせて、1ビット分の情報記憶単位とし、不揮発記憶回路の情報は、その揮発記憶部を介して、読み出しと書き込みが行われることを特徴とした半導体不揮発記憶回路。

4. 6つのMISトランジスタから構成されるスタティック型半導体メモリセルの2つの記憶ノードに、それぞれ、請求項1記載の半導体不揮発記憶回路の2つのトランジスタの電流出力端子を接続し、そのスタティック型半導体メモリセルの電源端子と、実際の電源線の間接続する第3のトランジスタをもち、その第3のトランジスタの導通状態を制御することで、前記スタティック型半導体メモリセルの動作活性化／非活性化の制御を行い、請求項1記載の半導体不揮発記憶回路部

分の情報をスタティック型メモリセルへ転送することを特徴とした半導体不揮発記憶回路。

図 1

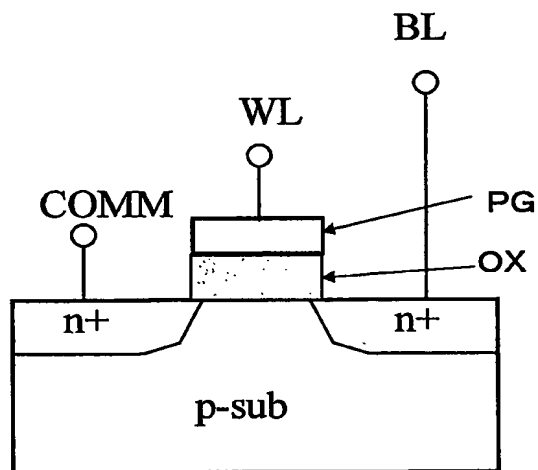
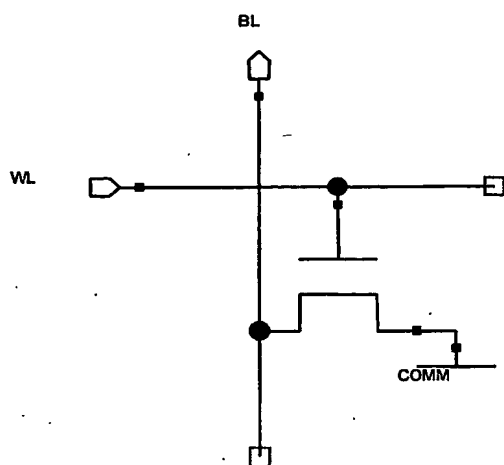
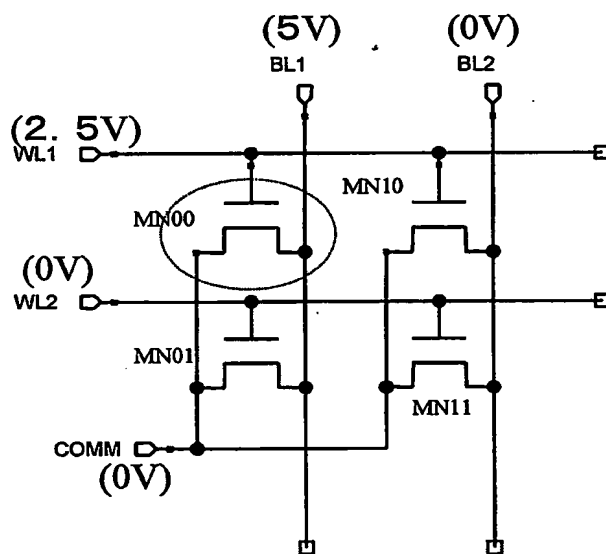
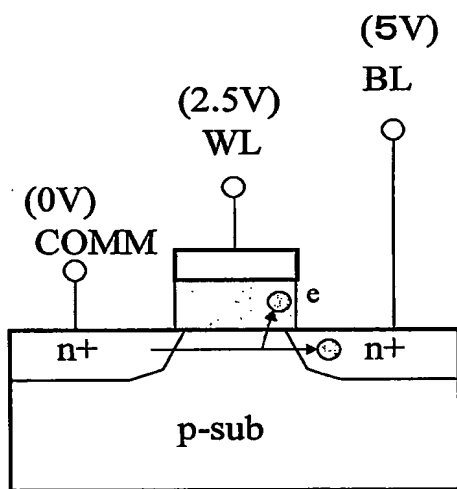


図 2



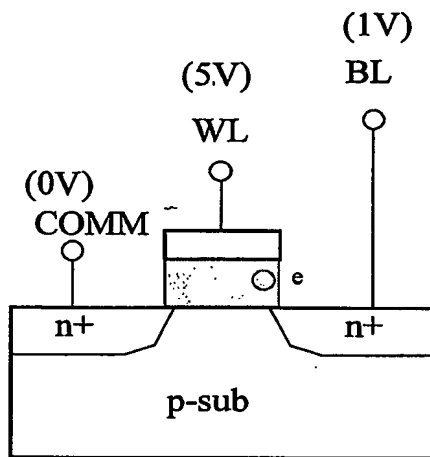


図 3

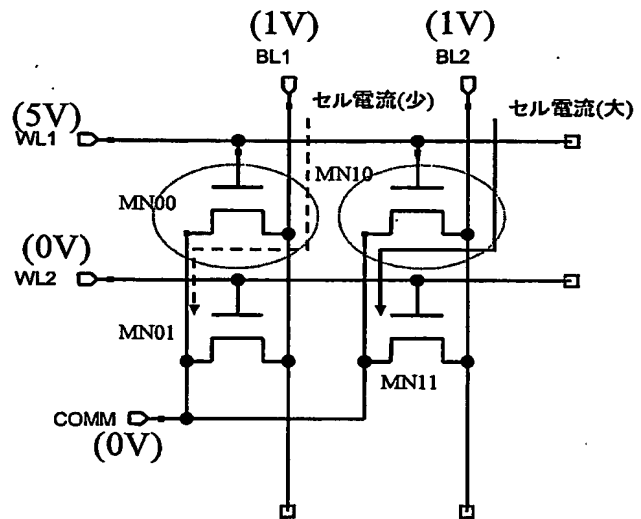
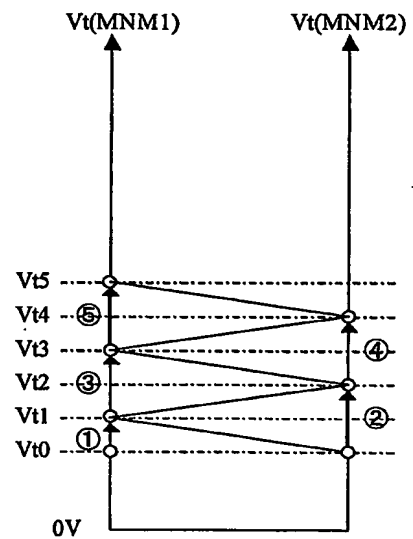
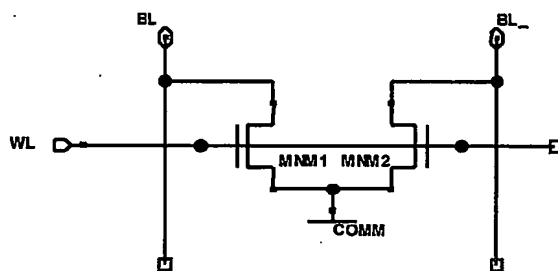


図 4



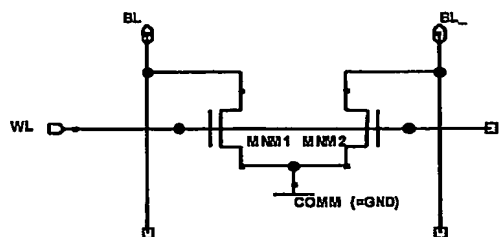


図 5

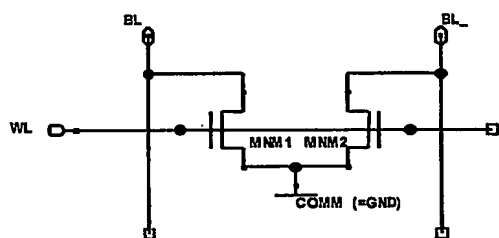
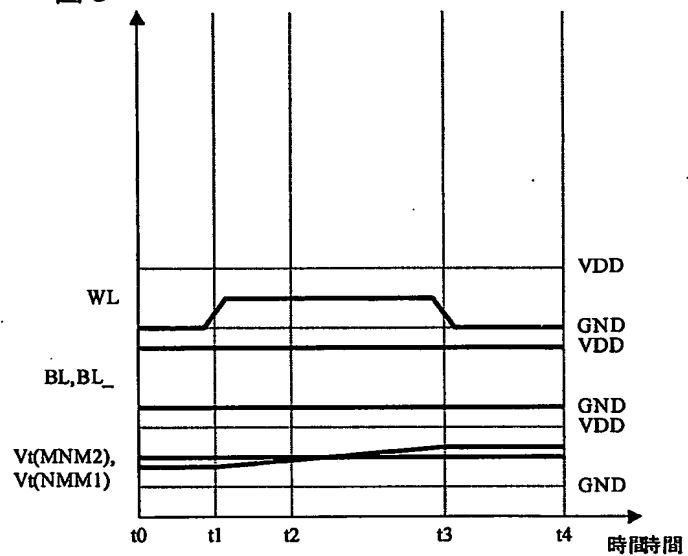


図 6

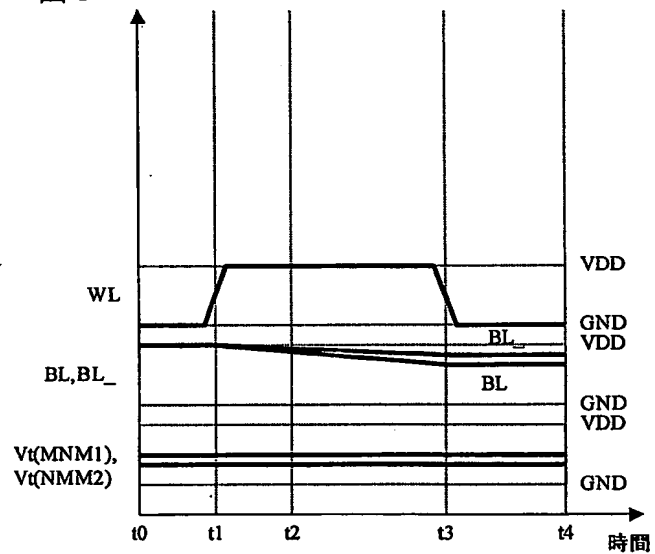


図 7

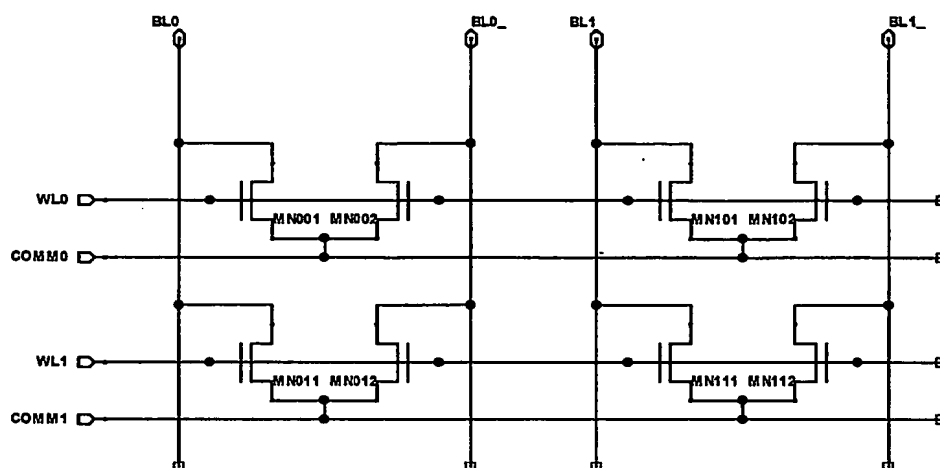


図 8

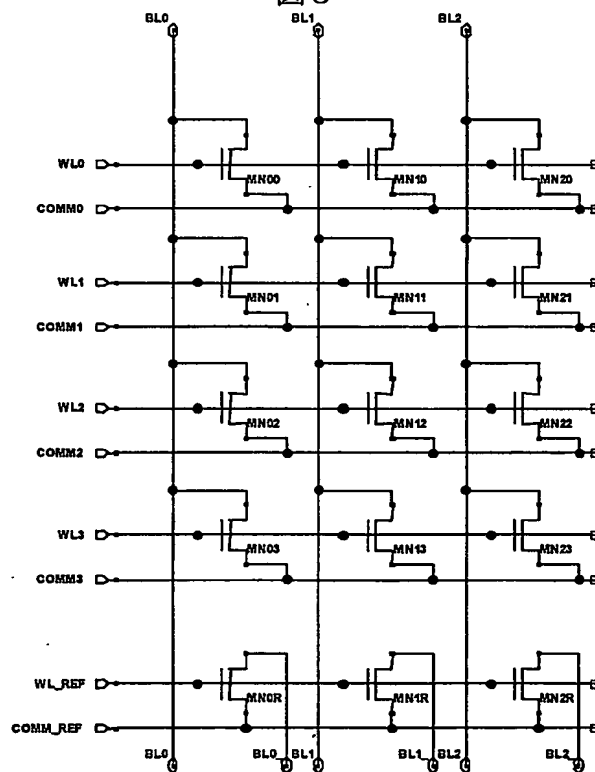


図 9

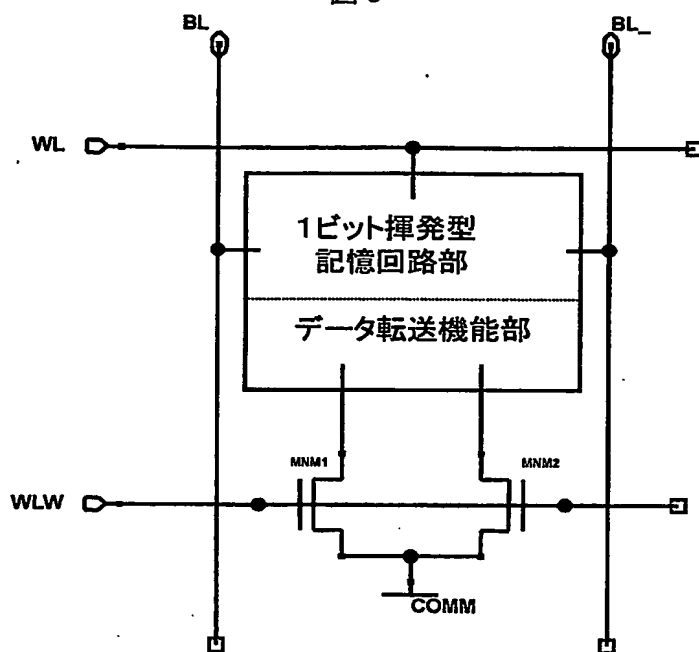


図 10

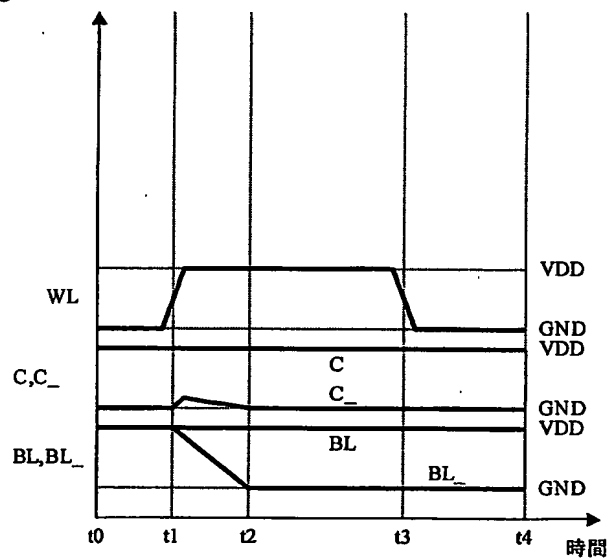
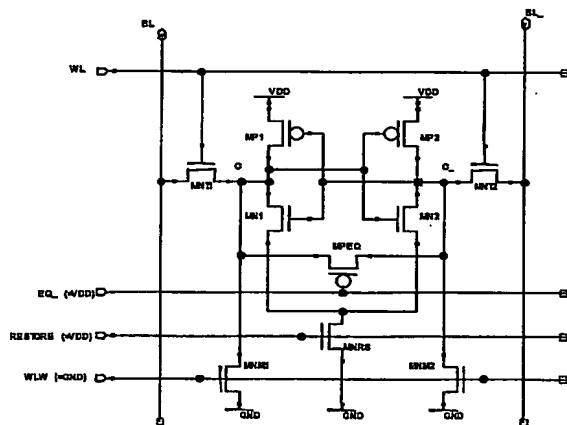


図 1 1

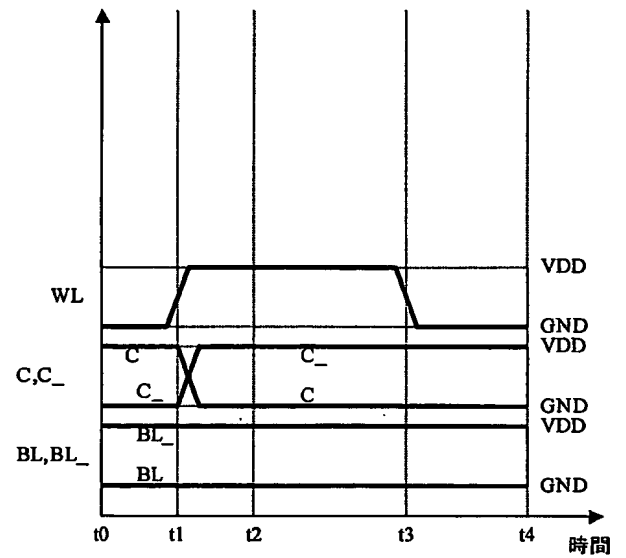
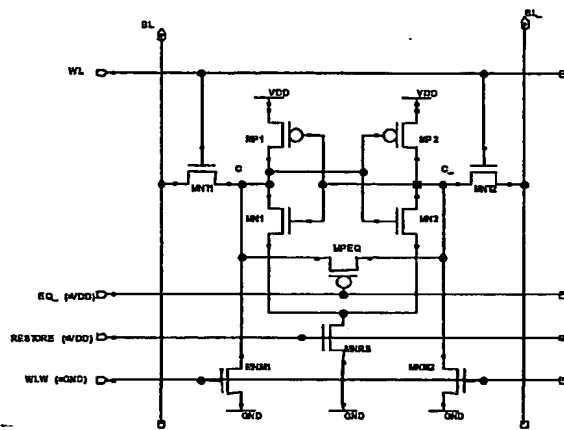


図 1 2

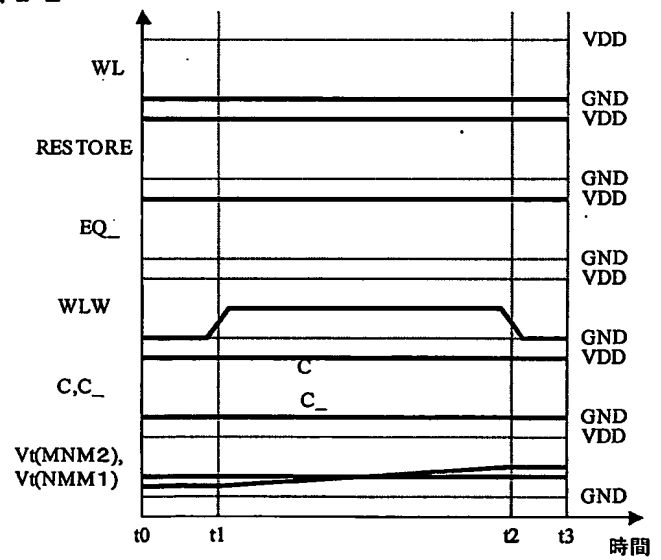
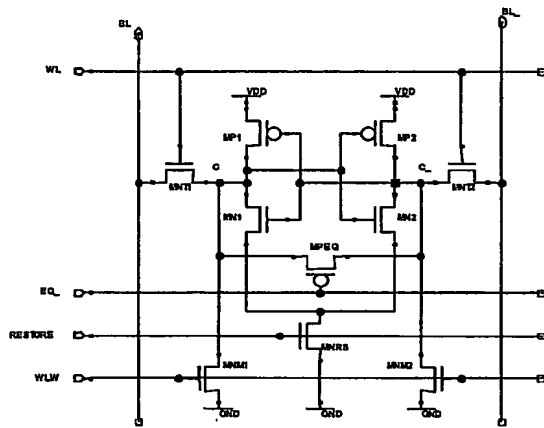


图 13

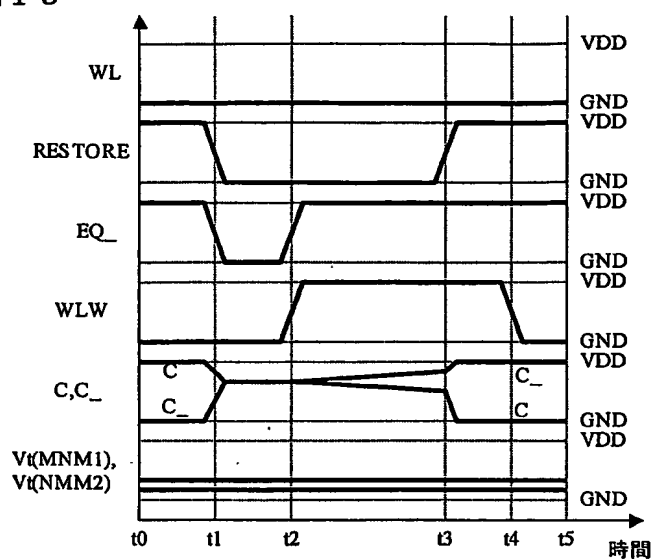
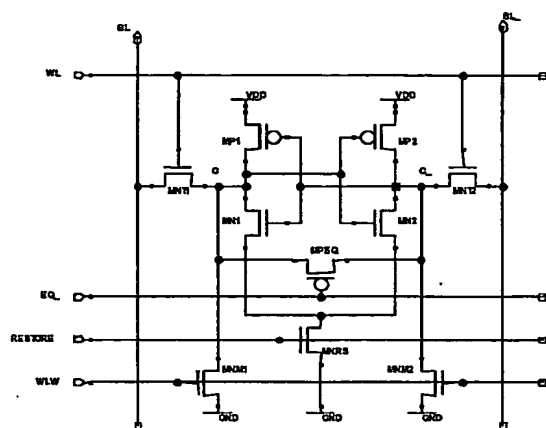
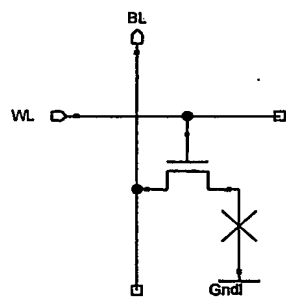
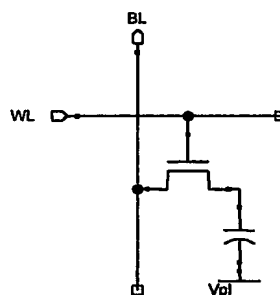


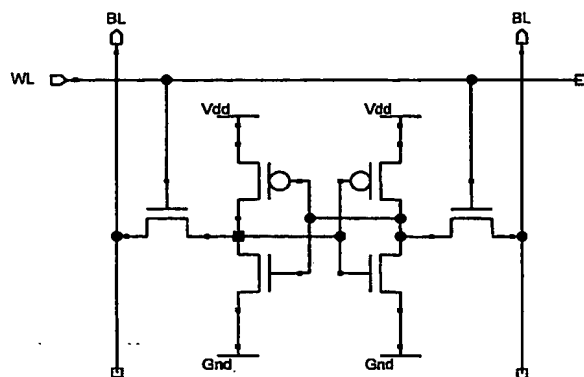
图 14



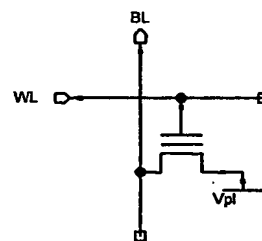
(1) マスクROM



(2)DRAM



(3)SRAM



(4)フラッシュEEPROM

図 1 5

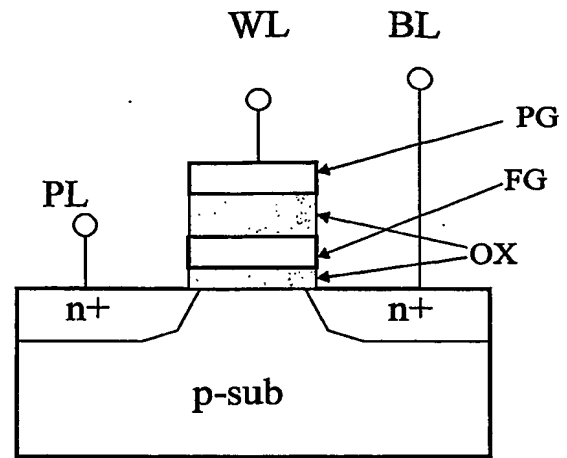
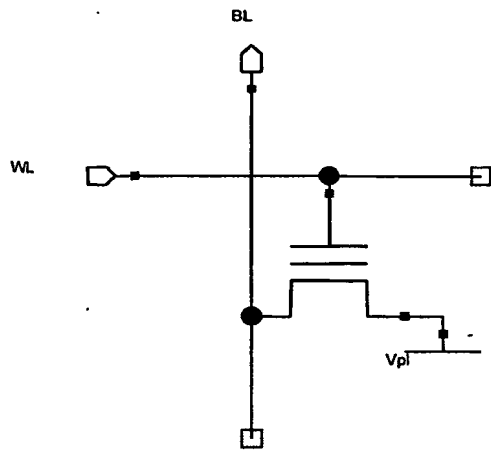


図 1 6

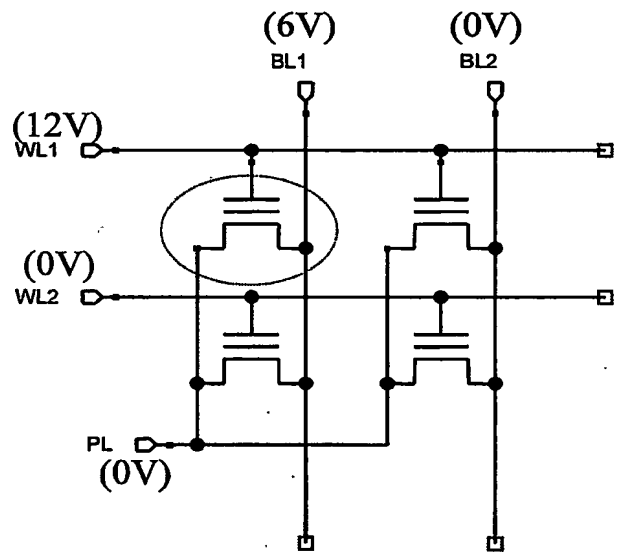
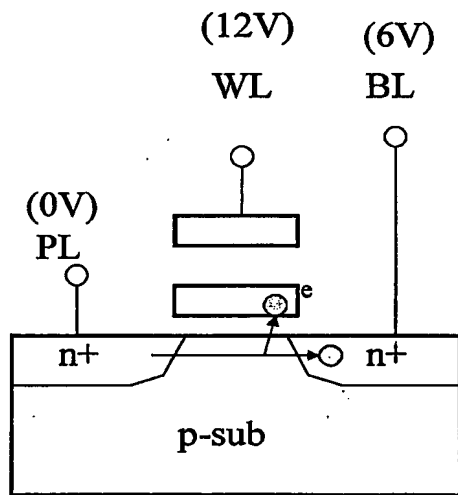


図 1 7

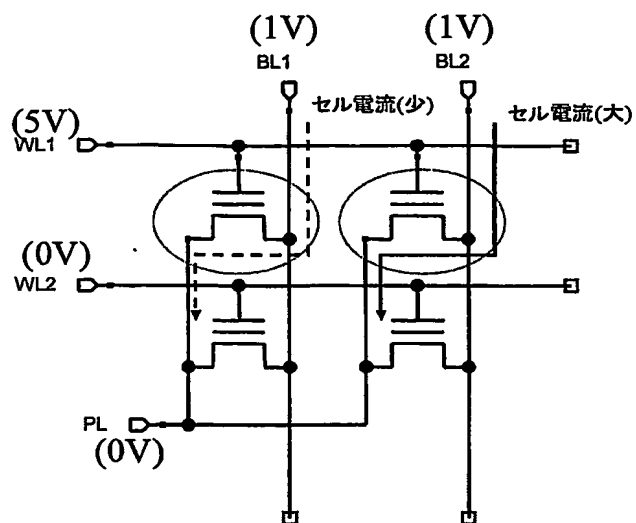
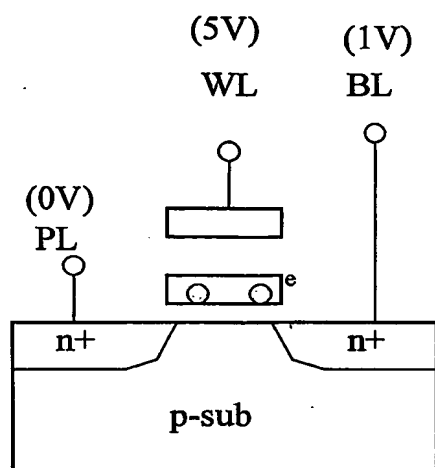
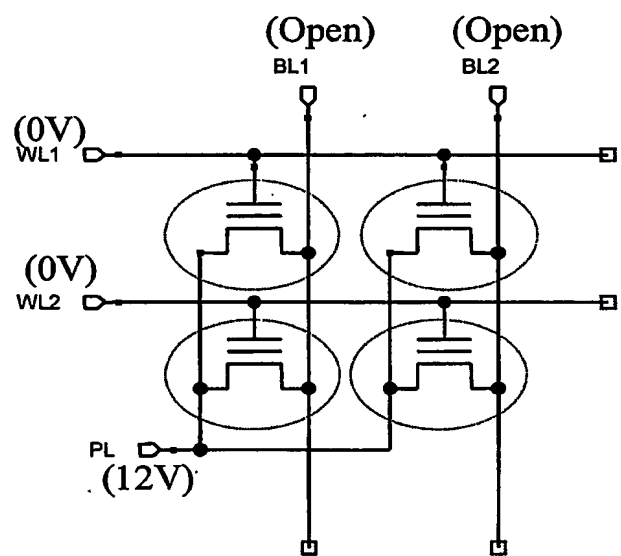
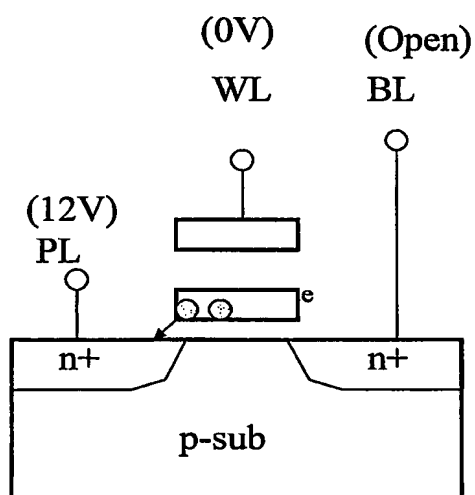


図 1 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16143

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C13/00, G11C11/41, H01L27/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C13/00, G11C11/41, H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-226088 A (Nippon Steel Corp.), 22 August, 1995 (22.08.95), Full text; all drawings (Family: none)	1, 3, 4
A	JP 6-231587 A (Toshiba Corp.), 19 August, 1994 (19.08.94), Full text; all drawings (Family: none)	1, 3, 4
A	JP 10-269789 A (Sharp Corp.), 09 October, 1998 (09.10.98), Full text; all drawings (Family: none)	1, 2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 April, 2004 (30.04.04)

Date of mailing of the international search report
18 May, 2004 (18.05.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁷ G11C13/00, G11C11/41, H01L27/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ G11C13/00, G11C11/41, H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 7-226088 A(新日本製鐵株式会社) 1995. 08. 22; 全文, 全図(ファミリーなし)	1, 3, 4
A	JP 6-231587 A(株式会社東芝) 1994. 08. 19, 全文, 全図(ファミリーなし)	1, 3, 4
A	JP 10-269789 A(シャープ株式会社) 1998. 10. 09, 全文, 全図(ファミリーなし)	1, 2

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

30. 04. 2004

国際調査報告の発送日

18. 5. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

加藤 俊哉

5N

9554

電話番号 03-3581-1101 内線 3544